

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-202528

(43) 公開日 平成8年(1996)8月9日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 5/06	3 5 3			
13/38	3 5 0	9188-5E		
15/78	5 1 0 E			
	P			

審査請求 未請求 請求項の数 3 O L (全 8 頁)

(21) 出願番号 特願平7-12711-  
(22) 出願日 平成7年(1995)1月30日

(71) 出願人 391024515  
三菱電機セミコンダクタソフトウェア株式会社  
兵庫県伊丹市中央3丁目1番17号  
(71) 出願人 000006013  
三菱電機株式会社  
東京都千代田区丸の内二丁目2番3号  
(72) 発明者 藤沢 行雄  
伊丹市中央3丁目1番17号 三菱電機セミ  
コンダクタソフトウェア株式会社内  
(74) 代理人 弁理士 高田 守 (外4名)

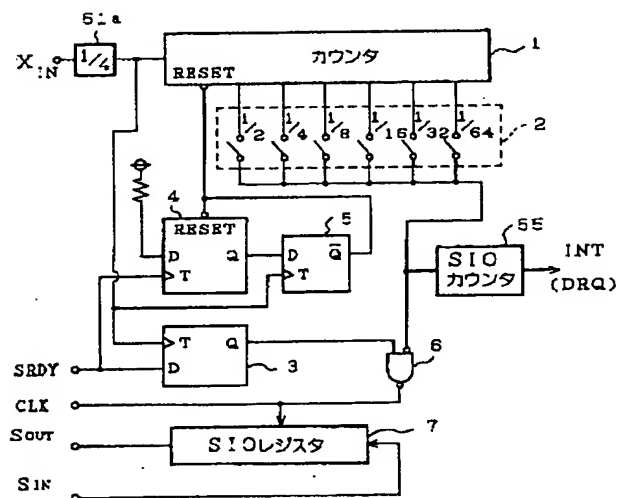
最終頁に続く

(54) 【発明の名称】 マイクロコンピュータ

(57) 【要約】

【目的】 厳密なタイミング制御を必要とするLANに対応できるとともに、高速シリアル通信にも対応可能なSIOを内蔵したマイクロコンピュータを得る。

【構成】 カウンタ1は、直列-並列変換を行うSIOレジスタ7にデータシフトのためのクロック信号を発生する。Dフリップフロップ4およびDフリップフロップ5は、送信開始を示す入力信号であるSRDY信号の立ち上がりを検出して、カウンタ1にリセット信号を与える。



1: カウンタ (クロック供給手段)  
2: スイッチ (クロック供給手段)  
4, 5: Dフリップフロップ (初期化手段)  
7: SIOレジスタ (シリアル入出力手段)

1

## 【特許請求の範囲】

【請求項1】 並列データを直列データに変換して出力するとともに入力した直列データを並列データに変換するシリアル入出力手段と、このシリアル入出力手段にデータ転送クロックを供給するクロック供給手段とを有するシリアル入出力回路を内蔵したマイクロコンピュータにおいて、外部からの入力に応じて前記クロック供給手段を初期化する初期化手段を備えたことを特徴とするマイクロコンピュータ。

【請求項2】 シリアル入出力手段はシフトレジスタであり、前記シフトレジスタの入出力方向を切り替える切替手段と、シフトレジスタの中途の段に接続された各接点を有するスイッチと、1データのビット長に対応した前記接点を投入するスイッチ設定手段とを備えた請求項1記載のマイクロコンピュータ。

【請求項3】 シフトレジスタの入力信号と出力信号とを比較する比較手段を備えた請求項2記載のマイクロコンピュータ。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、シリアル入出力回路を内蔵したマイクロコンピュータに関するものである。

【0002】

【従来の技術】 図7は三菱電機(株)製ワンチップマイクロコンピュータM38063M6-XXXXFP/GPのユーザズマニュアル(平成2年10月三菱電機(株)発行)に示された従来のワンチップマイクロコンピュータの内部構成を示すブロック図である。図において、101はROM102内に格納されたプログラムに従って所定の演算や制御を実行するCPU、103はデータを格納するためのRAM、104は必要な時間等を計時するタイマ、105は外部とデータ入出力を行う入出力ポート(10ポート)、106はディジタル値をアナログ値に変換して外部に出力するD-A変換器、107はアナログ値をディジタル値に変換して外部に出力するA-D変換器、108は外部からの直列データ(シリアルデータ)を並列データ(パラレルデータ)に変換するとともにパラレルデータをシリアルデータに変換して外部に出力するシリアル入出力回路(SIO)、109はクロックを発生するクロック発生回路、110はデータバスである。なお、このマイクロコンピュータにおいて、D-A変換器106、A-D変換器107およびSIO108の入出力は、10ポート105の入出力線と兼用される。

【0003】 図8は上記ユーザズマニュアルに示されたSIO108の内部構成を示すブロック図である。図において、51aはX<sub>1</sub>からのクロック信号を1/4に分周する分周器、51bはさらに1/4に分周する分周器、52は周波数が1/4にされたクロック信号が1/16にされたクロック信号かを選択するスイッチ、53

2

は分周されたクロック信号をさらに分周するためのカウンタ、54はカウンタ53に入力されたクロック信号がさらに分周された各クロック信号のうちのいずれかを選択するスイッチ、55はスイッチ54からのクロック信号を計数するSIOカウンタ、56はS<sub>1</sub>端子からのシリアルデータをスイッチ54からのクロック信号に従ってパラレルデータにするとともに、パラレルデータをスイッチ54からのクロック信号に従ってシリアル化しシリアルデータをS<sub>0</sub>端子に出力するSIOレジスタである。

【0004】 次に動作について説明する。ここでは、SIO108に関する動作について説明する。送信する場合には、CPU101は、10ポート105に対する所定の設定を行った後に、SIOレジスタ56に送信データを書き込む。SIOレジスタ56は、スイッチ54からのクロック信号に従ってデータをシフトする。SIOレジスタ56から押し出されたビットデータはS<sub>0</sub>端子に出力される。SIOカウンタ55は、全てのビットデータがS<sub>0</sub>端子に出力されたことを計数値から知ると、例えば、CPU101に対して割り込みをかける。CPU101は、次に送るべき送信データがあれば、それをSIOレジスタ56に書き込む。

【0005】 受信時には、SIOレジスタ56は、S<sub>1</sub>端子から入力されたデータをスイッチ54からのクロック信号に従って取り込むとともに、その内容を1ビットずつシフトする。SIOカウンタ55は、SIOレジスタ56のサイズ分のデータがSIOレジスタ56に入力されたことを計数値から知ると、例えば、CPU101に対して割り込みをかける。すると、CPU101は、SIOレジスタ56からデータを取り込む。なお、以上の説明において、SIOレジスタ56の内容をシフトするクロック信号として、スイッチ54からのクロック信号すなわち内部クロック信号が用いられていたが、マイクロコンピュータの外部から供給されるクロック信号を用いることもできる。

【0006】 ところで、マイクロコンピュータのSIO機能を利用してマイクロコンピュータ間でLANを構築することが考えられている。そのようなLANに適用しうるLAN規格として、例えば、ISO/DIS 11519-3(J1850)規格がある。J1850規格は、いわゆるマルチマスタ方式のバス形のLAN規格である。J1850規格では、スタートビット期間に続いて各局が自己アドレスを出力する期間がある。ある局、ここではあるマイクロコンピュータがスタートビットをバスに送出すると、データ送出を希望する他のマイクロコンピュータも同時にスタートビットをバスに送出し始める。さらに、各マイクロコンピュータは、一斉に同期を取って自己アドレスをバスに送出する。スタートビットやアドレス等のデータは図9に示すようにPWM変調されたものである。そして、最も優先度の高いマイクロ

3

コンピュータのアドレスがバス上に残るように、各アドレスが割り当てられている。

【0007】従って、バス上のデータと自己アドレスとを比較して、一致すれば送信権が割り当てられたことになる。このような送信権獲得のための過程をアービトレーションといい、バス上のデータと自己アドレスとの比較をアービトレーション判定という。なお、図9に示す例は、(A)側のマイクロコンピュータの送出したアドレスの3ビット目とバス上のアドレスが不一致になったので、(A)側のマイクロコンピュータはアドレス送出後に送信を止め、(B)側のマイクロコンピュータの送出したアドレスとバス上のアドレスは一致しているので、(B)側のマイクロコンピュータが送信を継続していることを示す。

【0008】このようなアービトレーション判定を可能にするには、マイクロコンピュータにおいて、スタートビットのタイミングを厳密に検出しなければならない。そうでないと、各マイクロコンピュータ間で自己アドレスの送出タイミングがばらつき、判定不可能になってしまうからである。スタートビットのタイミング検出を従来のマイクロコンピュータで実現しようとする、まず、ソフトウェアによって実現することが考えられる。すなわち、バスを入力ポートの1ビットに導入し、ソフトウェアによってバス上にスタートビットが現れたことを検出する。しかし、入力ポートをサーチしてスタートビットの有無を検出するのに数マシンサイクル以上の時間がかかり、検出の遅れは免れない。また、ソフトウェアによってそのポートを常時監視する必要がある、そのソフトウェアのCPU占有時間が大きくなる。従って、現実にはソフトウェアでアービトレーション判定を行うことは困難である。

【0009】これに対して、スタートビットによってSIOレジスタ56内のデータ送出をイネーブルにしてハードウェア的にアービトレーションを実現することも考えられる。しかし、スタートビットのタイミングとSIOレジスタ56に与えられるクロック信号とは非同期である。従って、実際のスタートビットのタイミングとSIOレジスタ56内のデータ送出タイミングとは、最大1クロック分遅れる可能性がある。

【0010】なお、以上の説明において、J1850規格のLANを例にとって説明したが、ある信号をトリガにして送信データの送出を開始する使い方では、従来のSIO108によれば、送信データの送出開始が遅れる可能性が常に存在している。また、以上に述べたようにソフトウェアでLANのバス上のデータチェックを行う場合には、その処理を行うプログラムが費やす時間が大きいので、その他の処理(例えば、プロトコル制御処理)に割り当てられる時間が少ない。そのためにLANのデータ転送速度を上げるとソフトウェア処理が間に合わない可能性がある。すなわち、ソフトウェアでL

4

ANのバス上のデータチェックを行うと、LANのデータ転送速度をそれほど上げることができない。

【0011】

【発明が解決しようとする課題】従来のマイクロコンピュータは以上のように構成されているので、アービトレーション判定等の厳密なタイミング制御を必要とするLANには、内蔵されているSIO108を有効に活用できないという問題点があった。また、ソフトウェア負荷が大きいので高速シリアル通信には対応できないという問題点もあった。

【0012】この発明は上記のような問題点を解消するためになされたもので、厳密なタイミング制御を必要とするLANに対応できるとともに、高速シリアル通信にも対応可能なSIOを内蔵したマイクロコンピュータを得ることを目的とする。

【0013】

【課題を解決するための手段】請求項1記載の発明に係るマイクロコンピュータは、シリアル入出力手段にデータ転送クロックを供給するクロック供給手段を有するSIOにおけるクロック供給手段を、外部からの入力に応じて初期化する初期化手段を備えたものである。

【0014】請求項2記載の発明に係るマイクロコンピュータは、シリアル入出力手段を構成するシフトレジスタの入出力方向を切り替える切替手段と、シフトレジスタの中途の段に接続された接点を有するスイッチと、1データのビット長に応じた接点を投入するスイッチ設定手段とをさらに備えたものである。

【0015】請求項3記載の発明に係るマイクロコンピュータは、シフトレジスタの入力信号と出力信号とを比較する比較手段をさらに備えたものである。

【0016】

【作用】請求項1記載の発明における初期化手段は、外部からの信号のレベル変化に従って直ちにクロック供給手段を初期化し、外部からの信号のレベル変化のタイミングに対して、シリアル入出力手段から出力されるシリアルデータの出力開始タイミングの遅れを低減する。

【0017】請求項2記載の発明におけるスイッチ設定手段は、投入される接点の切り替えによってシフトレジスタの長さを等価的に可変とし、任意のビット長のデータの送受信を容易にする。

【0018】請求項3記載の発明における比較手段は、入力信号と出力信号との相違を直ちに検出し、例えばLANにおけるバスのデータ衝突の検出負荷を低減する。

【0019】

【実施例】

実施例1. 以下、この発明の一実施例を図について説明する。図1はこの発明の実施例1によるマイクロコンピュータに内蔵されるSIOの構成を示すブロック図である。図において、1は分周器51aの出力であるクロック信号X<sub>clk</sub>をさらに分周するためのカウンタ、2はデ

5

ータ転送速度に応じてカウンタ1の1/2分周出力、1/4分周出力、1/8分周出力、1/16分周出力、1/32分周出力および1/64分周出力のいずれかを選択するためのスイッチ、3は外部からのSRDY信号をクロック信号 $X_{1/4}$ でラッチするDフリップフロップ（以下、DFFという。）、4はSRDY信号が立ち上がるとQ出力端子にハイレベルを出力するDFF、5はDFF4のQ出力信号をクロック信号 $X_{1/4}$ でラッチするDFF、6はDFF3のQ出力端子がハイレベルのときにスイッチ2からのクロック信号を通過させるアンドゲート、7はアンドゲート6の出力をクロック入力とするSIOレジスタである。

【0020】なお、ここでは、SIOレジスタ7がシリアル入出力手段を実現し、カウンタ1およびスイッチ2がクロック供給手段を実現し、DFF4、5が初期化手段を実現する。また、マイクロコンピュータの全体の構成は、例えば、図7に示されたようになっていて、ただし、図7に示されたものとは、SIOの構造が異なっている。

【0021】次に動作について説明する。図1に示すSIOを内蔵した2つのマイクロコンピュータ間でデータ転送を行う場合を例に取る。その場合、図2に示すように、一方（スレーブ側）のマイクロコンピュータ100bの一つの出力ポートと他方（マスタ側）のマイクロコンピュータ100aのSRDY端子とが接続される。また、#1SIOと#2SIOの2個のSIOが設けられている場合には、一方のマイクロコンピュータの#1S<sub>IS</sub>端子と他方のマイクロコンピュータの#2S<sub>OUT</sub>端子とを接続し、一方のマイクロコンピュータの#2S<sub>IS</sub>端子と他方のマイクロコンピュータの#1S<sub>OUT</sub>端子とを接続することにより、全二重シリアル通信が可能になる。

【0022】スレーブ側のマイクロコンピュータ100bは、受信準備が完了すると出力ポートをハイレベルにする。マスタ側のマイクロコンピュータ100aにおいて、SRDY端子にハイレベルが入力されると、DFF4のQ出力端子にハイレベルが現れる。すると、クロック信号 $X_{1/4}$ の立ち上がりによって、DFF5の反転Q出力端子にローレベルが現れる。DFF5の反転Q出力端子はカウンタ1のリセット入力に接続されているので、カウンタ1はリセットされる。また、DFF5の反転Q出力端子はDFF4のリセット入力にも接続されているので、DFF4のQ出力端子はローレベルになる。従って、次のクロック信号 $X_{1/4}$ の立ち上がりによってDFF5の反転Q出力端子はハイレベルになり、カウンタ1のリセット状態が解ける。

【0023】すなわち、カウンタ1の計数値が0になるので、この時点で、各出力は立ち下がる。スイッチ2はあらかじめ各カウンタ出力のうちの一つを選択しているが、いずれが選択されている場合でも、スイッチ2から

6

のクロック信号は立ち下がる。以後、スイッチ2から、選択されたクロック信号が継続出力される。

【0024】一方、DFF3のQ出力端子は、SRDY端子にハイレベルが現れてから初めて現れたクロック信号 $X_{1/4}$ の立ち上がりによってハイレベルになっている。従って、カウンタ1のリセットが解けたときには、アンドゲート6は、クロック信号通過状態になっている。アンドゲート6を通過したクロック信号は、SIOレジスタ7に供給される。SIOレジスタ7は、そのクロック信号の立ち下がりによってその内容をシフトするとともに、あふれたビットをS<sub>OUT</sub>に出力する。SIOカウンタ55は、1データを構成するビット数分のビットがSIOレジスタ7から出力されたことを検知すると、CPU101に対して割り込み信号を発生し、CPU101に次の送信データを要求する。あるいは、DMAコントローラ（図示せず）に対してデータ要求信号（DRQ信号）を発生して、DMAコントローラに次の送信データを要求する。

【0025】以上の処理によって、高々クロック信号 $X_{1/4}$ の3周期分（SRDY端子がハイレベルになってから最初にクロック信号 $X_{1/4}$ の立ち上がりが生ずるまで+それからDFF5の反転Q端子がローレベルになるまで+それからカウンタ1のリセットが解除されるまで）の時間経過後にSIOレジスタ7内のデータの送出が開始される。従って、図3にtで示す時間が、従来の場合の対応する時間に比べて短くなっている。

【0026】ソフトウェアによってSRDY端子にハイレベルが現れたことを検出してからSIOを動作させた場合には、実際にSRDY端子にハイレベルが現れてからSIOレジスタ7内のデータの送出が開始されるまでの時間は、上記時間よりもはるかに長い。また、単に、SRDY端子にハイレベルが現れたことをトリガにしてSIOレジスタ7からのデータ出力を可能にするように構成した場合には、SRDY信号とクロック信号の位相とが同期していないので、やはり、データの送出が開始されるまでの時間は上記時間よりもはるかに長い。例えば、スイッチ2が1/64分周のクロック信号を選択している場合には、最大そのクロック信号の1周期分（クロック信号の立ち上がりが現れた直後にSRDY端子にハイレベルが現れたときに最大になる。）、すなわちクロック信号 $X_{1/4}$ の64周期分の時間がかかる可能性がある。

【0027】実施例2。図4はこの発明の実施例2によるマイクロコンピュータにおけるSIOの構成を示すブロック図である。図において、21はSIOレジスタ7の入出力信号取り出し位置を決めるためのスイッチである。22はSIOレジスタ7に対するシリアルデータ入出力方向を決めるためのスイッチであり例えばS<sub>7</sub>～S<sub>15</sub>の接点を有する。この例では、SIOレジスタ7のビット長を16とし、8ビット目よりデータを取り出すた

7

めの接点 $S_7$ から16ビット目よりデータを取り出すため接点 $S_{15}$ まで設けられている。23は1データを構成するビット数が設定される転送ビット数選択レジスタ、24は転送ビット数選択レジスタ23の設定値をデコードするデコーダである。なお、ここでは、スイッチ22が切替手段を実現し、転送ビット数選択レジスタ23およびデコーダ24がスイッチ設定手段を実現する。

【0028】次に動作について説明する。CPU101の指示によって、スイッチ22がいずれかの方向に切り替えられる。このスイッチ22の作用によって、SIOレジスタ7に設定されたデータのLSBから送受信するかMSBから送受信するかが選択できる。また、スイッチ21の任意の接点をONすることにより、任意のビット長のデータを送受信できる。

【0029】例えば、図9に示すように3シンボルで表現されている1ビットが12ビット（クロック信号12周期分のデータ）で構成される場合を例にとる。また、スイッチ22は上側（図4に示されている状態）に倒されているとする。SRDY端子にハイレベルが現れると、実施例1の場合と同様にして、SIOレジスタ7からデータ（スタートビット）の送出が開始される。この場合、SIOレジスタ7からのデータは、選択されている接点を通して $S_{out}$ 端子に出力される。CPU101は、転送ビット数選択レジスタ23に0B（H）を設定する。すると、デコーダ24は、接点 $S_{11}$ のみをONさせるような信号をスイッチ21に与える。よって、SIOレジスタ7からのデータは、接点 $S_{11}$ を通して $S_{out}$ 端子に出力される。SIOカウンタ55は、「12（10進）」を計数したら、データ上の1ビットの送出が完了したと判定して、割り込み信号またはDRQ信号を発生する。CPU101は割り込み信号に応じて、データ上の次のビットを表現する12ビットのデータをSIOレジスタ7に書き込む。あるいは、DMAコントローラが、12ビットのデータをSIOレジスタ7に転送する。

【0030】なお、受信の場合には、 $S_{in}$ 端子からの受信シリアルデータは、図4中の左方向にSIOレジスタ7内をシフトする。そして、SIOカウンタ55は、1データのビット数を計数したら、データの引き取りを要求する割り込み信号またはDRQ信号を発生する。

【0031】スイッチ22が下側に倒されている場合には、送信データは、図4中の左方向にシフトされて $S_{out}$ 端子に出力される。なお、受信の場合には、 $S_{in}$ 端子からの受信シリアルデータは、スイッチ21における選択されている接点を介してSIOレジスタ7に入力し、図4中の右方向にSIOレジスタ7内をシフトする。

【0032】このようなSIOを内蔵したマイクロコンピュータを用いると、マイクロコンピュータ間で例えばJ1850規格によるLANを実現することがより容易

8

になる。すなわち、通信データにおけるPWM変調による1ビットを構成する12ビットのデータの転送を、スイッチ21における接点切換によって容易に実現できる。

【0033】実施例3。図5はこの発明の実施例3によるマイクロコンピュータにおけるSIOの構成を示すブロック図である。図において、31は $S_{in}$ 端子からの信号と $S_{out}$ 端子への信号とを比較する排他的論理和回路、32は排他的論理和回路31の出力をクロック信号でラッチするDFFである。なお、ここでは、排他的論理和回路31およびDFF32が比較手段を実現する。

【0034】次に動作について説明する。基本的なデータの送受信動作については第1の実施例または実施例2の場合と同様である。この場合には、 $S_{in}$ 端子の信号と $S_{out}$ 端子の信号とが、排他的論理和回路31が導入される。排他的論理和回路31は、 $S_{in}$ 端子の信号と $S_{out}$ 端子の信号とが異なっている場合にハイレベルを出力する。DFF32は、ハイレベルが入力されると、クロック信号によってそれをラッチし、Q出力端子に出力する。Q出力端子の出力を割り込み入力（ハイクティブ）とすることにより、CPU101は、 $S_{in}$ 端子の信号と $S_{out}$ 端子の信号とが異なっている場合を容易に認識できる。

【0035】このようなSIOを内蔵したマイクロコンピュータを用いると、LANにおけるアービトラージョンをさらに容易に実現できる。図6はJ1850規格マルチマスタ方式による半二重シリアル通信を行う場合の構成図である。図において、41はSRDY高速検出部であり、図5におけるDFF3、4、5に対応する。また、42はアービトラージョン検出部であり、図5における排他的論理和回路31およびDFF32に対応する。43はSIO部であり、図5におけるSIOレジスタ7、スイッチ21、転送ビット数選択レジスタ23、デコーダ24およびSIOカウンタ55を含むものと等価なものである。111はDMAコントローラである。この例では、バス200はマスタ側において、SRDY端子、 $S_{in}$ 端子および $S_{out}$ 端子に接続されている。また、スレーブ側において、 $S_{in}$ 端子および $S_{out}$ 端子に接続されている。

【0036】マスタ側のマイクロコンピュータ100aが送信を開始しようとしたときにスレーブ側のマイクロコンピュータ100bが先にデータの送信を開始した場合には、すなわちスタートビットをバス200に送出した場合には、そのスタートビットの立ち上がりがマスタ側のSRDY端子に入力される。SRDY高速検出部41は、SRDY信号の立ち上がりを直ちに検出し、直ちにSIO部43からのデータ送出が可能になるように作用する。従って、マスタ側もほぼ同時にスタートビットの送出を開始できる。

【0037】続いて、マスタ側およびスレーブ側は、同

タイミングでバス200に自己アドレスを送出する。上述したように、優先度の高いマイクロコンピュータのアドレスがバス上に残るように各アドレスが割り当てられているので、自局の優先度が低い場合には、S<sub>IN</sub>端子の信号とS<sub>OUT</sub>端子の信号とが異なる。従って、その場合には、アービトレーション検出部42の出力が立ち上がり、CPU101に割り込みがかかる。よって、CPU101は、アービトレーションの結果、自局に送信権が割り当てられなかったことを知り、SIOによる送信動作を中断する。そして、受信動作を開始するようにSIOを設定する。また、アービトレーション検出部42からの割り込みが発生しなかった場合には自局に送信権が割り当てられたことになるので、送信動作をそのまま継続する。

【0038】図9に示す例において、(A)をマスタ側と考えると、マスタ側では、アドレスの3ビット目の第2シンボル送出直後にS<sub>IN</sub>端子の信号とS<sub>OUT</sub>端子の信号とが異なるので、アービトレーション検出部42の出力にハイレベルが現れる。よって、その時点でマスタ側は、送信動作を中断することができる。

【0039】以上のように、アービトレーション検出部42によって容易にCSMA/CD機能が実現できる。また、PWM変調機能をSIO部43およびタイマ104で実現できる。従って、ソフトウェアでプロトコル管理機能を実現するだけでマルチマスタLAN通信を実現できることになる。もちろん、J1850規格以外のLANも同様にして実現できる。

【0040】

【発明の効果】以上のように、請求項1記載の発明によれば、マイクロコンピュータを、SIOにおけるシリアル入出力手段にデータ転送クロックを供給するクロック供給手段を、外部からの入力に応じて初期化するように構成したので、ソフトウェアで外部からの信号のレベル判定を行う場合に比べて、シリアル入出力手段から出力されるシリアルデータの出力開始タイミングの遅れが低減され、アービトレーション判定など厳密なタイミング制御を必要とするLANに対応できるとともに、高速シリアル通信に適用できるものが得られる効果がある。

【0041】請求項2記載の発明によれば、マイクロコンピュータを、シリアル入出力手段を構成するシフトレジスタの入出力方向を切り替える切替手段と、シフトレジスタの中途の段に接続された接点を有するスイッチと、1データのビット長に応じた接点を投入するスイッ

チ設定手段とをさらに備えるように構成としたので、上記効果が得られるとともに、任意のビット長のデータを容易に扱うことができ、通信相手の適用範囲を広げることができるものが得られる効果がある。

【0042】請求項3記載の発明によれば、マイクロコンピュータを、さらにシフトレジスタの入力信号と出力信号とを比較するように構成したので、ソフトウェアで信号比較する場合に比べてLANにおけるバスのデータ衝突の検出負荷を低減でき、LANへの適用に適したものが得られる効果がある。

【図面の簡単な説明】

【図1】 この発明の実施例1によるマイクロコンピュータに内蔵されるSIOの構成を示すブロック図である。

【図2】 2つのマイクロコンピュータ間でデータ転送を行う場合の構成を示す構成図である。

【図3】 SIOからのデータ出力タイミングを示すタイミング図である。

【図4】 この発明の実施例2によるマイクロコンピュータに内蔵されるSIOの構成を示すブロック図である。

【図5】 この発明の実施例3によるマイクロコンピュータに内蔵されるSIOの構成を示すブロック図である。

【図6】 J1850規格マルチマスタ方式による半二重シリアル通信を行う場合の構成図である。

【図7】 従来のワンチップマイクロコンピュータの内部構成を示すブロック図である。

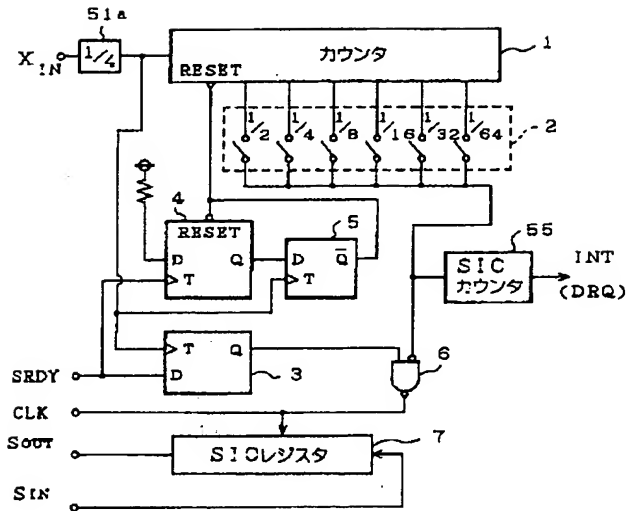
【図8】 従来のワンチップマイクロコンピュータにおけるSIOの内部構成を示すブロック図である。

【図9】 J1850規格におけるアービトレーション判定を説明するためのタイミング図である。

【符号の説明】

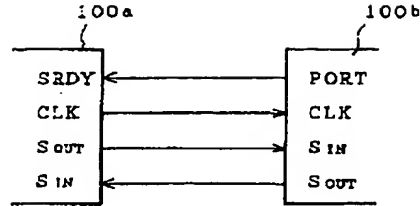
1 カウンタ(クロック供給手段)、2 スイッチ(クロック供給手段)、4 Dフリップフロップ(初期化手段)、5 Dフリップフロップ(初期化手段)、7 SIOレジスタ(シリアル入出力手段)、21 スイッチ、22 スイッチ(切替手段)、23 転送ビット数選択レジスタ(スイッチ設定手段)、24デコーダ(スイッチ設定手段)、31 排他的論理和回路(比較手段)、32 Dフリップフロップ(比較手段)、108 シリアル入出力回路。

【図1】

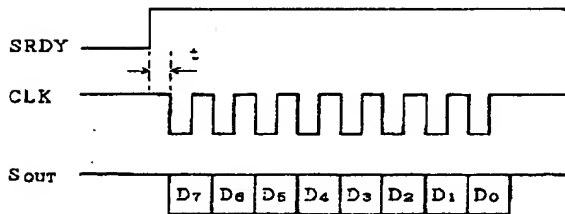


- 1: カウンタ(クロック供給手段)  
 2: スイッチ(クロック供給手段)  
 4, 5: Dフリップフロップ(初期化手段)  
 7: SIOレジスタ(シリアル入出力手段)

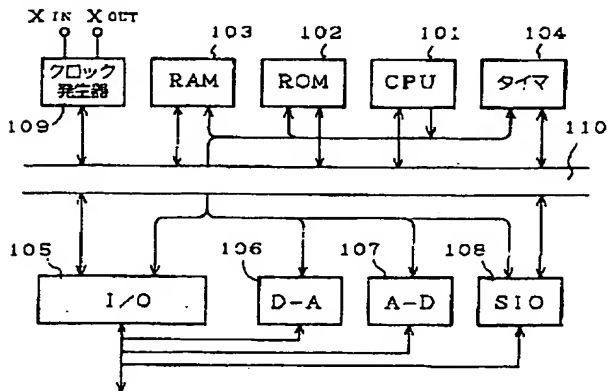
【図2】



【図3】

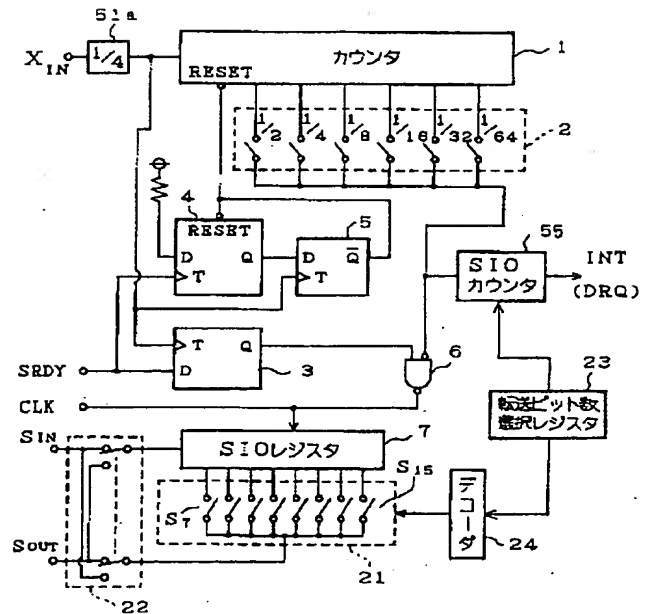


【図7】



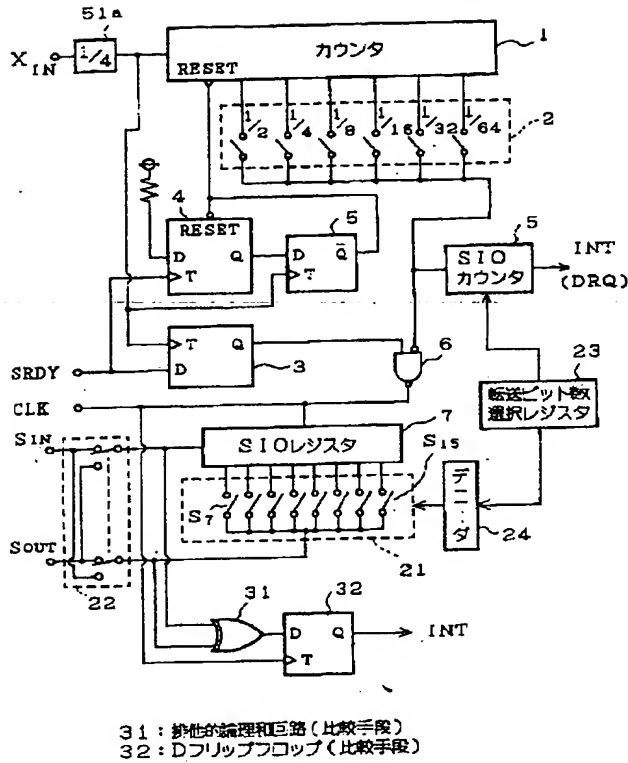
108: シリアル入出力回路

【図4】

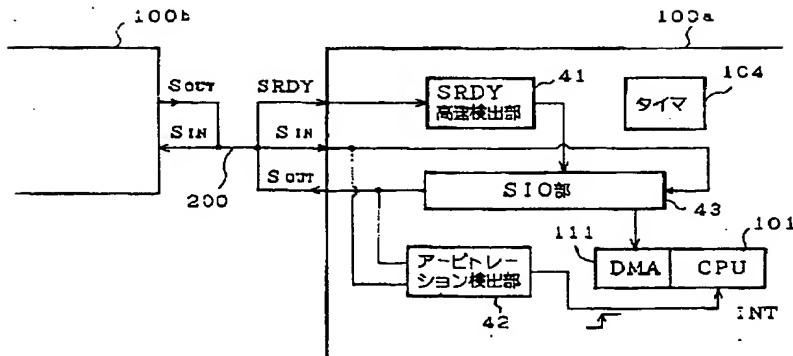


- 21: スイッチ  
 22: スイッチ(切替手段)  
 23: 転送ビット数選択レジスタ(スイッチ設定手段)  
 24: デコーダ(スイッチ設定手段)

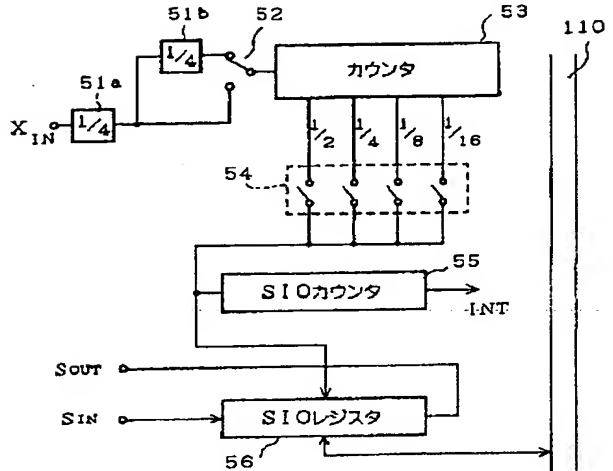
【図5】



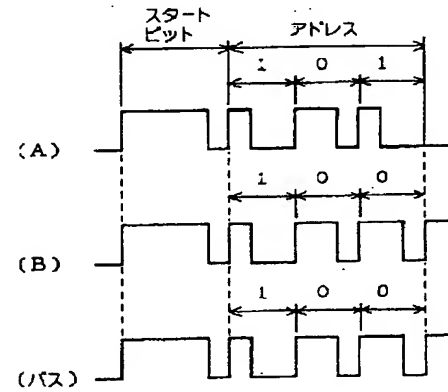
【図6】



【図8】



【図9】



フロントページの続き

(72)発明者 古川 雄大  
伊丹市瑞原4丁目1番地 三菱電機株式会  
社北伊丹製作所内

(72)発明者 山崎 貴志  
伊丹市瑞原4丁目1番地 三菱電機株式会  
社北伊丹製作所内



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**

**THIS PAGE BLANK (USPTO)**